

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-275878

(43) 公開日 平成10年(1998)10月13日

(51) Int.Cl.<sup>8</sup>

H 0 1 L 23/12  
21/60  
23/467

識別記号

3 1 1

F I

H 0 1 L 23/12  
21/60  
23/46

L

3 1 1 S

C

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号

特願平9-81056

(22) 出願日

平成9年(1997)3月31日

(71) 出願人 000003078

株式会社東芝  
神奈川県川崎市幸区堀川町72番地

(72) 発明者 浅井 博紀

神奈川県横浜市鶴見区末広町2丁目4番地  
株式会社東芝京浜事業所内

(72) 発明者 矢野 圭一

神奈川県横浜市鶴見区末広町2丁目4番地  
株式会社東芝京浜事業所内

(72) 発明者 五代 儀 靖

神奈川県横浜市鶴見区末広町2丁目4番地  
株式会社東芝京浜事業所内

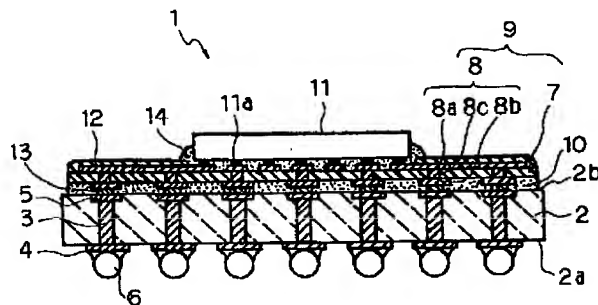
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 半導体パッケージ

(57) 【要約】

【課題】 フリップチップ構造の半導体素子を対象として、半導体素子の実装信頼性を高めると共に、信号配線の電気特性の向上やより一層の狭ピッチ配線への対応等を実現し、加えて従来のセラミックスパッケージに比べて製造コストの低減を図る。

【解決手段】 パイアホール型内部導体層5を有するセラミックス基板2からなるパッケージ本体の一方の主面には、外部接続端子として導体ホール6が設けられている。セラミックス基板2の他方の主面には、配線層8を有する樹脂配線基材9が接合されている。配線層8の一方の端部はパイアホール型内部導体層5と電気的に接続されている。樹脂配線基材9上には、配線層8と電気的に接続するように、フリップチップ構造の半導体素子1が搭載されている。



## 【特許請求の範囲】

【請求項1】 セラミックス基板と、

前記セラミックス基板の一方の主面に接合され、かつ配線層を有する樹脂配線基材と、

前記配線層と電気的に接続するように、前記樹脂配線基材上に搭載されたフリップチップ構造の半導体素子とを具備することを特徴とする半導体パッケージ。

【請求項2】 一方の主面に外部接続端子が設けられていると共に、前記外部接続端子と一方の端部が電気的に接続された内部導体層を有するセラミックス基板と、前記内部導体層の他方の端部と電気的に接続された配線層を有し、前記セラミックス基板の他方の主面に接合された樹脂配線基材と、

前記配線層と電気的に接続するように、前記樹脂配線基材上に搭載されたフリップチップ構造の半導体素子とを具備することを特徴とする半導体パッケージ。

【請求項3】 請求項2記載の半導体パッケージにおいて、

前記セラミックス基板の内部導体層は、バイアホール型導体層により構成されていることを特徴とする半導体パッケージ。

【請求項4】 請求項1または請求項2記載の半導体パッケージにおいて、

前記セラミックス基板は、窒化アルミニウム、窒化ケイ素、炭化珪素、窒化硼素およびダイヤモンドから選ばれる少なくとも1種を主成分とすることを特徴とする半導体パッケージ。

【請求項5】 請求項1または請求項2記載の半導体パッケージにおいて、

前記半導体素子上には放熱フィンが接合されていることを特徴とする半導体パッケージ。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フリップチップ構造の半導体素子の実装信頼性を向上させた上で、パッケージとして信号配線の低抵抗化、高配線密度化、低コスト化等を実現した半導体パッケージに関する。

【0002】

【従来の技術】近年の半導体製造技術の進歩に伴って、半導体素子は高集積化、高速動作化、高消費電力化、多端子化する傾向にあり、また半導体素子の性能や機能自体も急速に向上している。このように、高機能化された半導体素子、特に消費電力の高い半導体素子を搭載するパッケージには、まず素子機能を低下させることなく動作させる上で、高放熱性が要求される。

【0003】ところで、現在のパッケージとしては安価なプラスチックパッケージが主流であるが、プラスチックパッケージの場合には単体で適応できる消費電力は低く、消費電力の増大に対応するためにはヒートシンクや放熱フィンを使用する必要がある。また、プラスチック

パッケージは半導体素子との熱膨張係数の差が大きいことから、大型の半導体素子を搭載すると素子に割れ等が生じるおそれがある。このため、消費電力が高かつ大型化された半導体素子を搭載する場合には、セラミックスパッケージが主として使用されている。

【0004】従来のワイヤボンディング接続では、半導体素子で発生する熱を効率的に除去するために、半導体素子をパッケージ基体の下面側に接合したキャビティダウン（フェイスダウン）構造のパッケージが有効である。このような構造のパッケージによれば、半導体素子の裏面側から直接熱を奪うことができ、また半導体素子から奪った熱を効率よく放熱することができる。しかし、この接続法は接続ピンの配置の制約によるパッケージの大型化を伴うものである。

【0005】一方、半導体素子の高性能化や高機能化は消費電力のみならず、入出力信号数も増大させている。こうした動きに追随するように、半導体素子のサイズも大型化しつつあるが、素子サイズの大型化はウエハからの取り数の減少に繋がるために、半導体素子のコストアップを招くことになる。このような素子サイズの大型化を回避しつつ素子実装時の工数を削減する上で、フリップチップ構造が有効であり、近年その実用化が進められている。こうした素子構造の改善によって、入出力数の増加にもかかわらず、素子サイズの大型化は避けられている。ところが、こうした素子側の動向にもかかわらず、半導体素子の発熱量の増大傾向は変わりなく、熱を効率的に除去することが相変わらず必要である。

【0006】こうした事情に対処するべく、高熱伝導性のセラミックス基材を用いたパッケージ構造が種々提案されており、パッケージサイズを小型化しつつ、半導体素子が発生する熱にも十分に対応できるセラミックスパッケージが開発されている。しかしながら、従来のセラミックスパッケージは、全てに高熱伝導性セラミックスを使用していることに基いて、以下に示すような難点を有しており、このため広く普及するには至っていないのが実情である。

【0007】すなわち、従来のセラミックスパッケージは、パッケージ本体としてセラミックス多層配線基板を用いて、このセラミックス多層配線基板内の配線層により主として信号配線を取り回している。このようなセラミックス多層配線基板を用いたパッケージは、プラスチックパッケージ等に比べて製造コストが高く、また内部配線層には高温焼成が可能なWやMo等を使用しなければならぬために、配線抵抗が高くなり、高速信号処理に必ずしも適しているとは言えない。

【0008】さらに、セラミックス基板との同時焼成による内部配線層では、パッケージ内配線の高密度化等に限界がある。特に、フリップチップ実装を対象とした場合、狭ピッチ・多端子のインナーリード部を高精度に形成する必要である。しかし、そのような要求を満足させ

るためには、セラミックス基板の焼成時の寸法収縮をより高精度に制御する必要があるため、フリップチップ実装への対応を図った収縮率制御自体が困難になってきている。

#### 【0009】

【発明が解決しようとする課題】 上述したように、従来の半導体パッケージのうち、プラスチックパッケージは半導体素子との熱膨張係数の差が大きいため、高消費電力で大型の半導体素子等を搭載する際の信頼性が低いという問題を有している。特に、素子サイズの小型化や実装工数の削減等に有効なフリップチップ構造の半導体素子においては、バンプ電極部分に応力が集中するため、電気的な信頼性も低下しやすいという問題がある。

【0010】さらに、従来、高放熱性パッケージとして主に用いられてきたセラミックスパッケージは製造コストが高く、また信号配線の配線抵抗等の電気的特性が不十分であると共に、狭ピッチ配線への対応等にも限界がある等の問題を有している。特に、フリップチップ実装を対象とした場合には、インナーリード部の狭ピッチ・多端子化への対応が困難になってきている。

【0011】本発明は、このような課題に対処するべくなされたもので、フリップチップ構造の半導体素子を対象として、半導体素子の実装信頼性を高めると共に、信号配線の電気特性の向上やより一層の狭ピッチ配線への対応等を実現し、加えて従来のセラミックスパッケージに比べて製造コストの低減を図った半導体パッケージを提供することを目的としている。

#### 【0012】

【課題を解決するための手段】 本発明の半導体パッケージは、請求項1に記載したように、セラミックス基板からなるパッケージ本体と、前記セラミックス基板の一方の主面に接合され、かつ配線層を有する樹脂配線基材と、前記配線層と電気的に接続するように、前記樹脂配線基材上に搭載されたフリップチップ構造の半導体素子とを具備することを特徴としている。

【0013】また、本発明の他の半導体パッケージは、請求項2に記載したように、一方の主面に外部接続端子が設けられていると共に、前記外部接続端子と一方の端部が電気的に接続された内部導体層を有するセラミックス基板からなるパッケージ本体と、前記内部導体層の他方の端部と電気的に接続された配線層を有し、前記セラミックス基板の他方の主面に接合された樹脂配線基材と、前記配線層と電気的に接続するように、前記樹脂配線基材上に搭載されたフリップチップ構造の半導体素子とを具備することを特徴としている。

【0014】本発明の半導体パッケージにおいては、セラミックス基板に樹脂配線基材を接合し、この樹脂配線基材上にフリップチップ構造の半導体素子を搭載している。樹脂配線基材は半導体素子との熱膨張係数の差が大きいものの、セラミックス基板と接合することにより、

樹脂基材の熱膨張はセラミックス基板に拘束される。すなわち、セラミックス基板は変形しやすい樹脂配線基材の支持基体として機能するだけでなく、熱膨張緩和層としての役割も果たすものである。従って、半導体素子の電気的な接続を含む実装信頼性を向上させることができる。

【0015】さらに、信号配線は樹脂配線基材に設けた配線層により主として取り回している。樹脂配線基材の配線層には、例えばパターンニングされた銅箔等を用いることができるため、信号配線の低抵抗化、配線幅および配線間距離の短縮等を行うことができる。加えて、樹脂基材はセラミックス基板に比べて誘電率が低いため、パッケージ内配線の電気的特性を高めた上で、フォトエッチング技術を使用することから配線密度を高密度化することができ、特にフリップチップ構造の半導体素子を搭載する場合に狭ピッチ接続が可能となる。またさらに、樹脂配線基材で信号配線を主として取り回すことによって、セラミックス基板については半導体パッケージの製造コストを低減することができる。なお、半導体素子で発生した熱は、高密度配線とされた樹脂配線基材の配線層等を介してセラミックス基板側に伝えることができる。

#### 【0016】

【発明の実施の形態】 以下、本発明を実施するための形態について説明する。

【0017】図1は、本発明の半導体パッケージの一実施形態の概略構造を示す断面図である。同図に示す半導体パッケージ1は、パッケージ本体としてセラミックス基板2を有している。このセラミックス基板2には窒化アルミニウム(A1N)焼結体、窒化ケイ素(Si<sub>3</sub>N<sub>4</sub>)焼結体、アルミナ(Al<sub>2</sub>O<sub>3</sub>)焼結体、炭化ケイ素(SiC)焼結体、窒化硼素(BN)焼結体、ダイヤモンド等、各種のセラミックス材料を使用することができる。

【0018】上述したセラミックス材料のうち、図1に示す半導体パッケージ1のように、セラミックス基板2の内部に導体層3を設ける場合には、絶縁特性に優れると共に、熱伝導性に優れるA1N焼結体やSi<sub>3</sub>N<sub>4</sub>焼結体等を用いることが好ましい。特に、A1N焼結体は熱伝導率が高いことから、半導体パッケージ1の高放熱性化を図る上で好ましい材料である。セラミックス基板2に使用するA1N焼結体としては、一般的に基板材料として使用されている熱伝導率が70W/m K以上のものが好ましく用いられる。

【0019】また、Si<sub>3</sub>N<sub>4</sub>焼結体は高強度特性と比較的良好な熱伝導性とを合せ持つことから、半導体パッケージの高信頼性化と高放熱性化を図る上で好ましい材料である。セラミックス基板2に使用するSi<sub>3</sub>N<sub>4</sub>焼結体としては、特に50W/m K以上の熱伝導率を有するものが好ましい。Si<sub>3</sub>N<sub>4</sub>焼結体は高強度・高靱性のセラミックス焼結体としてよく知られており、さらに例え

ば焼結体原料となる窒化ケイ素粉末の微粒子化、高純度化、焼結助剤組成等の組成制御等を行うことによって、本来の高強度・高靱性という機械的特性を損うことなく、50W/mK以上というように比較的熱伝導性に優れた $\text{Si}_3\text{N}_4$ 焼結体が得られる。

【0020】セラミックス基板2を後述する樹脂配線基材9の支持基体のみとして用い、セラミックス基板2側には導体層を形成しない場合には、熱伝導性に優れる $\text{SiC}$ 焼結体、 $\text{BN}$ 焼結体、ダイヤモンド等が好ましく用いられる。また、他のセラミックス材料についても、半

導体素子11の種類や用途等に応じて適宜使用し得るのである。

【0021】パッケージ本体を構成するセラミックス基板2は、内部導体層としてバイアホール3を有している。バイアホール3の両端にはそれぞれランド4、5が設けられている。ここで、内部導体層としてはバイアホール3のみに限らず、印刷配線層等を併用することが可能であるが、本発明の半導体パッケージにおいては後述する樹脂配線基材9で信号配線を取り回すことができるため、セラミックス基板2の内部導体層はバイアホール型導体層3のみとすることが好ましい。これにより、パッケージ本体としてのセラミックス基板2の製造コストや製造工数を大幅に低減することができる。

【0022】上記したようなセラミックス基板2は、まずセラミックスグリーンシートにバイアホール型導体層3となるスルーホールを形成し、このスルーホール内にタングステンペースト等の導体ペーストを充填すると共に、ランド4、5となる印刷層を形成する。複数枚のセラミックスグリーンシートを使用した場合にはそれらを積層、圧着する。そして、セラミックス材料に応じた雰囲気中で焼成することによって、バイアホール型導体層3およびランド4、5等を有するセラミックス基板2が得られる。

【0023】なお、電源層や接地層等の配線層については、セラミックス基板2内に形成してもよく、この場合にはセラミックス基板2に多層構造のセラミックス基板を使用すればよい。

【0024】上述したバイアホール型導体層3を有するセラミックス基板2の一方の主面、すなわち下面2a側には、例えば $\text{Pb-Sn}$ 系半田ボールや $\text{In}$ 系半田ボールのような導体ボール6が下面側ランド4上に接合されている。これら導体ボール6は外部接続端子として機能するものである。このように、この実施形態の半導体パッケージ1はBGA構造のパッケージを構成するものである。なお、導体ボール6には金属ボールや金属コーティング樹脂ボール等、少なくとも表面部が導電性を有する各種の導体ボールを使用することができる。

【0025】導体ボール6は、例えば下面側ランド4の表面に $\text{Ni/Au}$ メッキ等を施した後、各下面側ランド4上に $\text{Sn-Pb}$ 共晶半田ペースト等を印刷し、この半

田ペースト上に治具を用いて $\text{Sn-Pb}$ 共晶半田ボール（例えば95% $\text{Pb}$ 共晶半田ボール）等載せ、半田ペーストを熔融させて接合することにより形成することができる。

【0026】セラミックス基板2の他方の主面、すなわち上面2b側には、樹脂フィルム7に銅箔等で配線層8を形成した樹脂配線基材9が、接着剤層10を介して接合固定されている。ここで、樹脂フィルム7としては、液晶ポリマー、ポリイミド樹脂、ガラスエポキシ樹脂等の各種絶縁性樹脂からなる厚さ20~100 $\mu\text{m}$ 程度のフィルムを使用することができる。また、接着剤層10には、熱硬化性樹脂シート、熱硬化性樹脂ペースト、エポキシ樹脂ペースト、ポリイミド樹脂ペースト等を使用することができる。

【0027】そして、樹脂配線基材9上にはフリップチップ構造を有する半導体素子11が搭載されており、この半導体素子11の bumps 電極11aは配線層8と電気的に接続されている。このように、この実施形態の半導体パッケージ1は、いわゆるフェイスアップ構造を有している。搭載する半導体素子11は限定されるものではないが、消費電力が例えば3W以上と高く、また素子サイズが10mm角以上というような高消費電力で大型の半導体素子に対して本発明は特に有効である。本発明の半導体パッケージにおいては、このような半導体素子11を高信頼性の下で搭載することができる。

【0028】樹脂配線基材9の配線層8は、半導体素子11の bumps 電極11aとセラミックス基板2の上面側ランド5とを電気的に接続しており、さらに半導体素子11の bumps 電極11aはセラミックス基板2のバイアホール型内部導体層3を介して、外部接続端子としての導体ボール6と電気的に接続されている。半導体素子11の信号配線は、基本的には樹脂配線基材9の配線層8で取り回している。

【0029】この実施形態の半導体パッケージ1における配線層8は、具体的には樹脂フィルム7の上面側に形成された上側導体層8aと、樹脂フィルム7の下面側に形成された下側導体層8bと、これらの間を電気的に接続する内部導体層8cとを有している。上側導体層8aおよび下側導体層8bは、例えば銅箔のような厚さ100 $\mu\text{m}$ 以下程度の金属箔からなるものであって、所望の配線形状に応じてパターンニングされており、上側導体層8aの表面には絶縁性樹脂等からなる絶縁層12がコーティングされている。

【0030】半導体素子11の信号配線は、主として上側導体層8aおよび下側導体層8bの一方で、あるいは上側導体層8aと下側導体層8bの双方で取り回されている。信号配線を主として上側導体層8aで取り回す場合には、下側導体層8bはランドの形成のみとしてもよい。

【0031】下側導体層8b（ランド）上には、セラミ

ックス基板2の上面側ランド5の位置に対応させて、例えばAgエポキシ系ペースト、Auエポキシ系ペースト、Agポリイミド系ペースト等により接続用突起13が形成されている。接続用突起12は、Auボール、Pb-Sn系共晶半田ボール、In系半田ボール等を接合して形成することもできる。なお、セラミックス基板2の上面側ランド6上に、同様な接続用突起を形成してもよい。

【0032】そして、樹脂配線基材9の配線層8とセラミックス基板2の上面側ランド5とは、樹脂フィルム7側の接続用突起13を上面側ランド5に突き当て、これを熱圧着する等によって電気的に接続されている。なお、接続用突起13はセラミックス基板2の上面側ランド5上に形成してもよい。また、樹脂配線基材9の配線層8と半導体素子3のポンプ電極11aとは、このポンプ電極11aを樹脂配線基材9の上側導体層8aの所定の電極部に突き当て、これを熱圧着する等によって電気的に接続されている。

【0033】樹脂配線基材7とセラミックス基板2との機械的な接合は、基本的には接着剤層10が担っている。また、樹脂配線基材9と半導体素子3との機械的および電気的な接続信頼性を高める上で、ポンプ電極11aによる接続部の周囲には、樹脂等からなる絶縁性充填材14が充填されている。この絶縁性充填材14は必要に応じて使用されるものである。

【0034】上述した導体層8および接続用突起12を有する樹脂フィルム7は、例えば以下のようにして作製することができる。まず、厚さ12 $\mu$ m程度の銅箔を上側導体層8aの形成材料として用意し、その表面にセラミックス基板2の上面側ランド5の位置に対応させて、銀等により内部導体層8cとなる突起を形成する。この突起を形成した銅箔と、例えば液晶ポリマーからなる厚さ20~100 $\mu$ m程度の樹脂フィルム7と、さらに下側導体層8bとなる同様な厚さの銅箔とを重ね合わせ、突起の先端が樹脂フィルム7を突き破って下側導体層8bとなる銅箔と電気的に接続するように熱圧着する。熱圧着は銅箔と液晶ポリマーフィルム等との密着強度が保たれるような条件下で実施する。

【0035】そして、両面の銅箔をそれぞれ所望の配線形状となるようにエッチングし、上側導体層8aには所望の配線パターンを、また下側導体層8bには少なくともランドを形成する。この後、下側導体層8bによるランド上に、上述したような接続用突起13を形成することによって、上述した上側導体層8a、下側導体層8bおよび内部導体層8cを有する配線層8と接続用突起13とが設けられた樹脂配線基材9が得られる。

【0036】上記したような配線層8および接続用突起13を有する樹脂配線基材9とセラミックス基板2との接合は、これらを例えば接着剤シートや接着剤の塗布層等を介して積層し、この状態で接着剤フィルムや接着剤

の塗布層が接着する温度で熱をかけつつ、電気的な接続が実現する程度の圧力（例えば10kg/cm<sup>2</sup>程度）を加えることによって、樹脂配線基材9とセラミックス基板2とを電気的に接続しつつ機械的に接合することができる。このようにして、セラミックス基板2と接合した樹脂配線基材9上に、フリップチップ構造の半導体素子11を接続、搭載すると共に、接続部の周囲に絶縁性充填材14を充填することによって、半導体パッケージ1が得られる。

【0037】上述した半導体パッケージ1においては、4W程度の半導体素子11であれば樹脂フィルム7が熱抵抗層となるものの、樹脂配線基材9は薄く、また配線層8具体的には銅箔等を介して熱をセラミックス基板2に伝えることができるため、高熱伝導性のセラミックス基板2を使用すれば放熱性を確保することが可能である。さらに、より高い消費電力の半導体素子11（例えば10W程度）を搭載する場合には、図2に示すように、樹脂配線基材9上にフリップチップ実装されている半導体素子11の裏面側に、金属や高熱伝導性セラミックス等からなる放熱フィン15を接着剤層16を介して接合することによって、十分な放熱性を確保することができる。

【0038】このような半導体パッケージ1は、例えば多層プリント基板等の実装ボード上に実装される。この際、半導体パッケージ1の外部接続端子としての導体ボール6は、実装ボードの配線層と電気的に接続され、半導体実装部品が構成される。上述した実施形態の半導体パッケージ1においては、パッケージ本体としてのセラミックス基板2に樹脂配線基材9を接合した構造を有しているため、樹脂配線基材9の熱膨張をセラミックス基板2により拘束することができる。樹脂配線基材9は半導体素子11との熱膨張係数の差が大きいものの、セラミックス基板2の熱膨張係数は半導体素子11に近いため、樹脂配線基材9の熱膨張をセラミックス基板2により拘束することによって、半導体素子11が搭載される樹脂配線基材9の熱膨張を半導体素子11のそれに近づけることができる。

【0039】このようなパッケージを用いることによって、フリップチップ構造の半導体素子11を、樹脂配線基材9上に直接搭載しているにもかかわらず、半導体素子11の接続部信頼性を高めることが可能となる。具体的には、電気的な接続部の信頼性を高めることができると共に、樹脂配線基材9との機械的な接続に伴う半導体素子11の割れ等を抑制することができる。すなわち、セラミックス基板2は変形しやすい樹脂配線基材9の支持基体として機能するだけでなく、熱膨張緩和層としての役割も果たすものである。特に、半導体素子11のポンプ電極11aによる接続部周辺に絶縁性充填材14を充填することによって、機械的な接続信頼性のみならず、電気的な接続信頼性をもより一層高めることが可能となる。

【0040】半導体パッケージ1の放熱性に関しては、前述したように半導体素子11で生じた熱を、樹脂配線基材9の配線層8を介して熱をセラミックス基板2に伝えることができ、特に配線密度を高密度化した配線層8は熱伝達性に優れるため、高熱伝導性のセラミックス基板2を使用すれば4W程度の半導体素子11に対応し得る放熱性を確保することができる。また、樹脂配線基材9上にフリップチップ実装されている半導体素子11の裏面側に、放熱フィン15を接合することによって、より一層良好な放熱性を得ることができる。

【0041】また、樹脂フィルム7に設けた配線層8には上述したように、銅箔等の厚さが100 $\mu$ m以下というような金属箔を使用することができる。銅箔等の金属箔によれば、セラミックス基板の内部配線層として一般的に使用されているWやMo等の焼成層に比べて、信号配線の配線抵抗や高周波特性等を大幅に改善することができる。さらに、銅箔等をエッチングしてパターンニングすることによって、例えば配線幅が30 $\mu$ m、配線間距離が20 $\mu$ mというような高密度配線を実現することができる。その上で、この実施形態の半導体パッケージ1は基本的に小型化が可能なフェイスアップ構造としているため、入出力数の多い半導体素子11であっても信号配線を容易に取り回すことができるだけでなく、パッケージサイズそのものを小形化することが可能となる。すなわち、パッケージ内配線の高密度化およびそれに基くパッケージサイズの小型化を達成することができる。

【0042】ここで、フリップチップ構造の半導体素子11の場合、特にパッケージ側のインナーリード部に狭ピッチ配線が求められる。このような要求を樹脂配線基材11の配線層8は満足させることができるため、フリップチップ構造の半導体素子11との狭ピッチ接続を実現することが可能となる。従って、フリップチップ構造の半導体素子11の実装信頼性を高めることができると共に、さらなる半導体素子11の多端子・狭ピッチ化にも対応することができる。

【0043】さらに、信号配線は基本的には樹脂配線基材9の配線層8で取り回しているため、セラミックス基板2の内部配線層をパイアホール型配線層3のみとすることができる。これにより、内部に複雑な多層配線を形成していた従来のセラミックス多層配線基板に比べて、セラミックス基板2自体の製造コストおよび製造工数を大幅に低減することができ、またセラミックスの寸法制御精度も緩くなり、ひいては半導体パッケージ1の製造コストを低減することが可能となる。

【0044】上述したように、この実施形態のBGA構造の半導体パッケージ1は、フリップチップ構造の半導体素子11の搭載、およびそれとの狭ピッチ接続を可能にした上で、半導体素子11の実装信頼性を高めたものであり、さらには信号配線の高特性化および高密度化、パッケージの低コスト化等を実現したものである。

【0045】このようなBGA構造の半導体パッケージ1を、消費電力が5Wで400ピンの半導体素子を搭載するパッケージとして作製した。まず、樹脂配線基材9として、液晶ポリマーを主剤とし、その両面に銅箔を熱圧着したものを作製した。各銅箔はエッチングしてパターンを形成し、その上には絶縁樹脂をコーティングした。樹脂配線基材9の厚さは約0.2mmであり、チップ実装はフリップチップ対応である。

【0046】セラミックス基板2には、熱伝導率が180 W/m KのA1Nセラミックスを用いた。基板厚さは0.6 mmである。A1Nセラミックス基板2は、単一グリーンシートに直径200 $\mu$ mのスルーホールを一括で打抜き形成し、これにWペーストを充填すると共に、ランドとなる印刷層を形成した。これを脱脂、焼成してA1Nセラミックス基板2とした。ランド上にはNi/Auメッキを施した。

【0047】このような樹脂配線基材9とA1Nセラミックス基板2とを接合して、半導体素子用のパッケージを得た。これらの電気的な接続には導電性樹脂を用い、また機械的な接合にはエポキシ系接着剤を用いた。このようなパッケージにフリップチップ構造の5W、400ピンの半導体素子を搭載して、この実施例の半導体パッケージ1とした。

【0048】一方、本発明との比較例として、樹脂製の半導体パッケージ（比較例1）を作製した。この比較例1の半導体パッケージは、高消費電力向け半導体素子に適用するため、フェイスアップ構造を採用し、発生する熱を素子裏面から直接ヒートシンクに逃がす構造とした。このため、半導体素子の接続方法はワイヤーボンディングとした。ヒートシンクには銅を使用した。また、熱を実装ボードへ逃がす構造を採用するため、内部には熱拡散用プレートを採用した。配線導体は銅である。このようなパッケージに実施例と同様な5W、400ピンの半導体素子を搭載して、半導体パッケージとした。

【0049】また、比較例2として、A1Nセラミックスでフリップチップ対応のパッケージを作製した。パッケージには、5層構造のA1N多層配線基板（熱伝導率:180W/m K）を用いた。5層構造のA1N多層配線基板は、5枚のグリーンシートそれぞれに必要なスルーホールを形成し、Wペーストの充填および印刷を行った後、積層、脱脂、焼成を行った。フリップチップ実装に対応させるために、スルーホールの直径は80 $\mu$ mとした。ランド上にはNi/Auメッキを施した。このようなパッケージに実施例と同様な5W、400ピンの半導体素子を搭載して、半導体パッケージとした。

【0050】上記した実施例の半導体パッケージと比較例1、2による半導体パッケージの特性、コスト、サイズ等を比較した。その結果を表1に示す。なお、表1に示す評価結果は実施例を1とした場合の相対値である。

50 【0051】

【表1】

	配線抵抗比	熱抵抗比	コスト比	サイズ比
実施例	1	1	1	1
比較例1	1	11	1	1.3
比較例2	10	0.9	2	1

表1から明らかなように、本発明の実施例による半導体パッケージは、熱抵抗がセラミックス単体パッケージを用いた比較例2に比べて多少劣るものの、配線抵抗や製造コストは大幅に優れ、また樹脂パッケージを用いた比較例1と比べても、製造コストやパッケージサイズ等に優れたものであることが分かる。

【0052】なお、上記実施形態では樹脂フィルム7の両面に導体層8a、8bを設けて、下側導体層8bに接続用突起13を形成した場合について説明したが、例えば内部導体層が樹脂フィルムを突き破って、その先端が樹脂フィルムの反対面側に突出するような構造とすることによって、内部導体層と接続用突起とを兼用することができる。

【0053】また、樹脂基材としては前述した樹脂フィルムに限らず、銅張り樹脂基板等を使用することも可能であるが、配線密度の高密度化という点においては樹脂フィルムに例えば厚さ100 $\mu$ m以下というような金属箔を熱圧着等で張り付けたものを使用することが好ましい。

【0054】さらに、本発明の半導体パッケージは上述したフェイスアップ構造のBGAパッケージに限らず、外部接続端子に導体ボール以外のものを使用したパッケージ、あるいはフェイスダウン構造の半導体パッケージ等にも適用可能である。

【0055】

【発明の効果】以上説明したように、本発明の半導体パッケージによれば、フリップチップ構造の半導体素子の実装信頼性や接続信頼性等を高めた上で、信号配線の電気特性を向上、より一層の狭ピッチ配線への対応およびパッケージサイズの小型化等を図ることができ、さらには製造コストの低減等を実現することが可能となる。このような半導体パッケージは、例えば高消費電力で大型の半導体素子等も高信頼性の下でパッケージ化することができる。

【図面の簡単な説明】

【図1】 本発明の半導体パッケージの一実施形態の概略構造を示す断面図である。

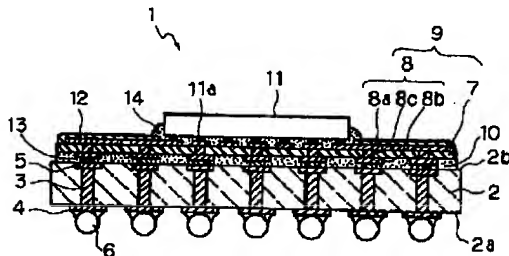
【図2】 図1に示す半導体パッケージの変形例を示す断面図である。

【符号の説明】

- 1 ……半導体パッケージ
- 2 ……セラミックス基板
- 3 ……バイアホール型導体層
- 6 ……導体ボール
- 7 ……樹脂フィルム
- 8 ……配線層
- 9 ……樹脂配線基材

- 11 ……フリップチップ構造の半導体素子
- 15 ……放熱フィン

【図1】



【図2】

